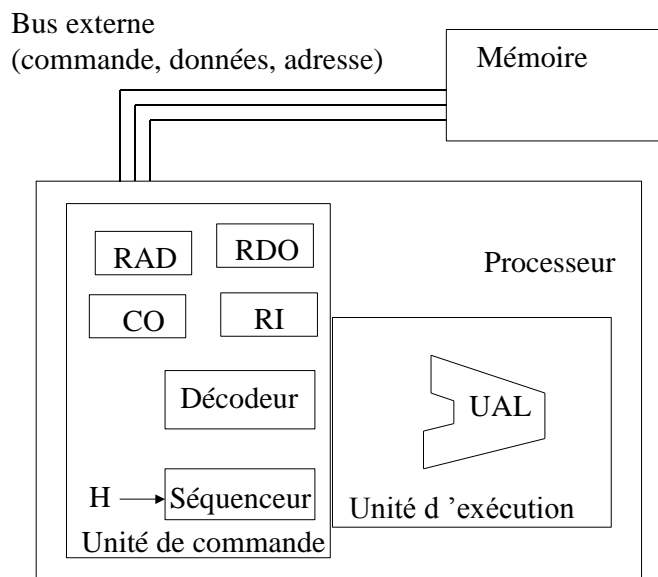


EXERCICES DIRIGES

EXECUTION DES INSTRUCTIONS MACHINES

Rappels de cours

A. Principe de l'exécution d'une instruction



Le traitement d'une instruction par le processeur se décompose en deux étapes :

- le cycle de recherche : recherche de l'instruction pointée par le CO
- le cycle d'exécution : recherche des opérands en mémoire centrale et exécution de l'instruction

A.1. Le cycle de recherche

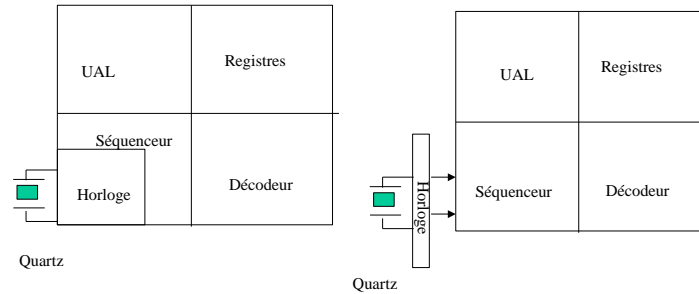
- lecture de l'instruction suivante (phase de fetch = $f(\text{architecture du processeur})$) : transfert de CO dans RAD, lecture, transfert de RDO dans RI, incrémentation de CO

A.2. Le cycle d'exécution

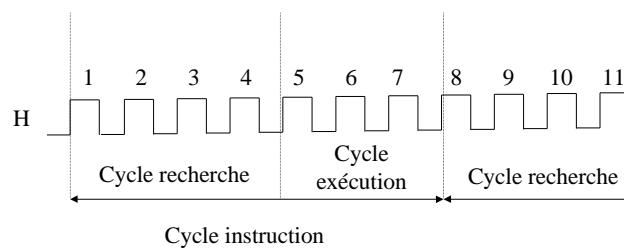
- recherche des opérands en mémoire centrale (phase de décodage = $f(\text{mode d'adressage})$)

- exécution de l'instruction (phase d'exécution = $f(\text{code opération})$)

Les circuits de commande et de séquençage sont pilotés par une horloge à quartz. Le quartz est externe au processeur; en revanche, les circuits d'horloge peuvent être internes ou externes au processeur.



Une horloge à 50 Mhz fournit une période d'horloge ou microcycle ou cycle machine de $1/50000000 = 20 \text{ ns}$. Les cycles de recherche et d'exécution forment le cycle d'instruction. Ce cycle d'instruction s'étend sur plusieurs cycles machine.



B. Les micro commandes

Pour permettre le transfert des données entre les différentes entités connectées sur les bus du processeur, des barrières en entrée et en sortie doivent être implantées. Ces barrières sont symbolisées par un rond sur les connexions aux bus sur les schémas des processeurs qui suivent. Exemple sur le second schéma de processeur : registre R1 connecté aux Bus A et B. Les barrières en entrée et en sortie du registre R1 sont contrôlées par les barrières nombusR1En et nombusR1Sor. Quand nombusR1En est activée, la donnée disponible sur le bus nombus est chargée dans R1. Quand nombusR1Sor est activée, la donnée disponible dans R1 est placée sur le bus nombus. Quand nombusR1Sor est désactivée, le bus peut être utilisé pour véhiculer des données à partir d'autres registres.

Exemple :

Transférer le contenu de R1 dans le registre R4

AR1Sor, CAB (liaison entre bus qui quand elle est activée, permet le transfert de données du bus A vers le bus B) BR4En

On ne donne ici que les microcommandes activées, les autres étant par défaut non activées. L'ensemble des microcommandes activées sur un cycle horloge forme une micro instruction. L'ensemble des micro instructions constitue le microprogramme exécuté par l'unité de commande.

On compte pour les microcommandes

- les activations de porte
- les signaux de commandes liés au bus externe (LEC, ECR notamment)
- les commandes de sélection (S) sur les UALs
- INCO ; INCRSP, DECRSP

Exercices

Exercice 1 : ARCHITECTURE 1 BUS

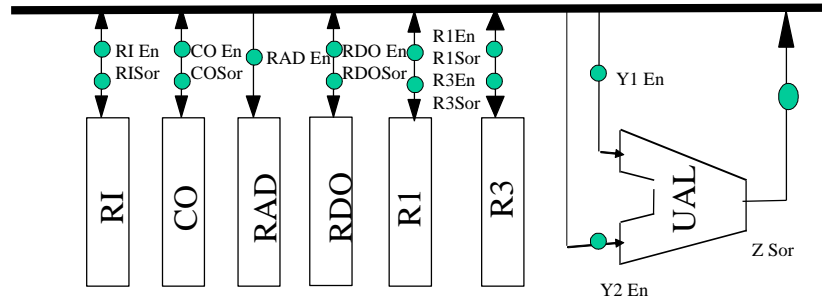
Dans cette première architecture processeur :

- tous les registres sont sur 32 bits,
- les instructions sont au format 32 bits,
- le compteur ordinal donne l'adresse du 1er octet de l'instruction,
- un temps de cycle mémoire = un temps cycle horloge processeur

On appellera LEC et ECR les commandes lecture et écriture en mémoire (RAD registre d'adresses mémoire et RDO registre de données). INCO permet l'incréméntation du compteur ordinal CO.

Donnez le chronogramme d'exécution des instructions suivantes :

- LOAD Im R1 X
- ADD D R3 X



Exercice 2 : ARCHITECTURE 2 BUS

On considère l'architecture de processeur données ci-après. Pour chacune des instructions ci-dessous, vous donnerez la suite de microcommandes ainsi que les cycles processeurs nécessaires à leur exécution.

- LOAD I R3 X : chargement de R3 avec un opérande obtenu par adressage indirect.
- AND B R1 X : Et logique entre le registre R1 et un opérande obtenu par adressage basé et stockage du résultat dans R1 contenu de R5.

On appelle LEC et ECR les commandes lecture et écriture en mémoire (RAD registre d'adresses mémoire et RDO registre de données). INCO permet l'incrémention du compteur ordinal CO. INCRSP et DECRSP permettent l'incrémention et la décrémentation du registre de pile RSP.

Pour transférer les informations du bus A au bus B, on active la porte CAB (Copie de A vers B).

L'architecture de processeur comporte deux UALs : la première UAL@ permet de calculer des adresses pour le mode d'adressage indexé, relatif et basé. La seconde UAL est l'UAL classique permettant la réalisation des opérations arithmétiques et logiques.

L'opération de lecture et d'écriture mémoire demande 2 cycles horloges. Tous les registres sont sur 32 bits. Les mots mémoire sont également sur 32 bits.

