

## PILE ENTREES / SORTIES INTERRUPTIONS

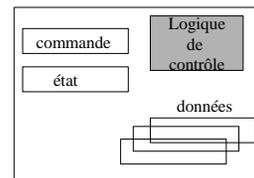
### Rappels de cours

Le processeur dialogue avec les unités d'échanges via un circuit d'interface ou unité d'échange.

#### A. Constitution et adressage des unités d'échanges

Une unité d'échange est entre autres constituée par :

- des registres de données (RD) qui contiennent les données à écrire vers les périphériques ou les données lues depuis les périphériques
- un registre d'état (RE) qui indique la disponibilité de chaque registre de données (prêt / non prêt)
- un registre de commande (RC) qui indique les caractéristiques de l'échange lié à chaque registre de données (lecture / écriture)



Les registres des unités d'échanges peuvent être adressés selon deux manières :

- **adressage selon un espace d'adressage unique** : les adresses de la mémoire centrale sont réparties entre cases mémoires et registres des unités d'échanges. Les instructions d'adressage mémoire sont utilisées pour adresser les registres des unités d'échanges.
- **adressage selon un espace d'adressage séparé** : les registres des unités d'échanges disposent d'un espace d'adressage séparé accessible par des instructions d'entrées/sorties spécialisées (IN / OUT).

#### B. Mécanisme des interruptions

Une interruption est un événement externe provoquant l'arrêt du traitement courant du processeur en vue d'exécuter un autre traitement. Le traitement interrompu est repris ultérieurement là où il avait été arrêté.

La prise en compte des interruptions peut être interdite : c'est le masquage des interruptions. Deux instructions machine sont liées à cette opération :

- EI : Enable Interrupt : autorise la prise en compte des interruptions en positionnant le bit I du registre PSW à 0
- DI : Disable Interrupt : n'autorise pas la prise en compte des interruptions en positionnant le bit I du registre PSW à 1

La prise en compte d'une interruption s'effectue avant le commencement d'un nouveau cycle d'instruction.

Le traitement d'une interruption comporte les phases suivantes :

1/ Acquiescement de l'interruption , masquage des interruptions, sauvegarde de CO, PSW et éventuellement des registres généraux, démasquage des interruptions

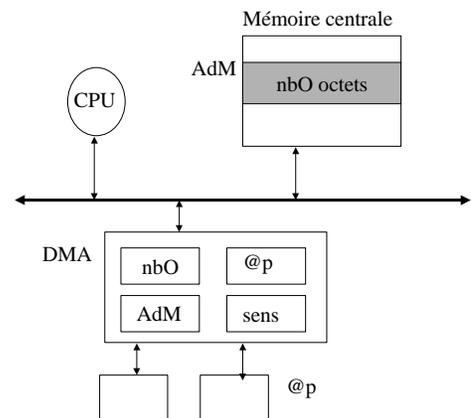
2/ Calcul de l'adresse de la routine d'interruption, branchement à cette adresse.e et exécution de la routine d'interruption

3/ Retour de la routine d'interruption par le biais de l'instruction RTI qui restaure le contexte sauvegardé à l'étape 1.

### C. Gestion des transferts entre le processeur et les unités d'échanges

Il existe trois modes de gestion de ces transferts :

- *entrées/sorties programmées* : le processeur interroge en permanence l'unité d'échange pour savoir si elle est prête ou non pour un nouveau transfert de donnée.\*
- *entrées/sorties par interruption* : l'unité d'échange signale par une interruption qu'elle est prête à accepter un nouveau transfert.
- *entrées/sorties par DMA* : l'unité DMA (Direct Memory Access) permet à l'unité d'échange d'accéder seule à la mémoire centrale. Une opération d'entrées/sorties s'effectue alors selon les étapes suivantes :
  - *initialisation du Dma par le processeur pour décrire l'opération d'entrées/sorties à effectuer*
  - *transfert des données par le Dma*
  - *émission d'une interruption par le Dma en fin d'opération*



## Exercices

### Exercice 1

Adresse	Contenu
10	12
11	
12	100
13	$\alpha$
14	127
15	
100	- 44
101	10
102	

Registre	Contenu
RB	50

CO	400
----	-----

Rsp	102
-----	-----

PSW	0000xxxxxxx
-----	-------------

Soient les opérations suivantes; pour chacune d'elles, représentez l'évolution des registres du processeur ainsi que celle de la mémoire et de la pile. Chaque opération reprend l'état de la mémoire centrale et des registres du processeur résultant de l'opération précédente. Les nombres signés sont représentés sur 16 bits, selon le format du complément à 2.

```
LOAD I R1 10
POP Rg1 R2
ADD Rg2 R1 R2
STORE D R1 15
PUSH Rg1 R1
LOAD Im RB 10
ADD B R1 5
PUSH Rg1 R1
```

### Exercice 2

Soit l'architecture 3 bus ci-dessous.

Le format des microcommandes est :

- entrée du contenu d'un bus vers un registre : nombusbomregistreEn (exemple CR0En)
- sortie du contenu d'un registre vers un bus : nombusbomregistreSor (exemple BR0Sor ou AR0Sor)
- entrée sur une entrée de l'UAL : nombusentréeUALEn (exemple AUALaEn)
- sortie de l'UAL : nombusUALsSor (exemple CUALsSor)

Le passage du bus A ou du bus B vers le bus C s'effectue en activant une opération Nop sur l'Unité Arithmétique et Logique (UAL), ce qui a pour effet de copier le contenu de l'entrée a de l'UAL sur la sortie de l'UAL. Ainsi pour passer le contenu du bus A au bus C, les étapes sont :

- mettre le contenu du bus A dans l'entrée a de l'UAL : AUALaEn ;
- activer l'opération Nop : Nop ;
- sortir la sortie de l'Ual sur le bus C : CUALsSor.

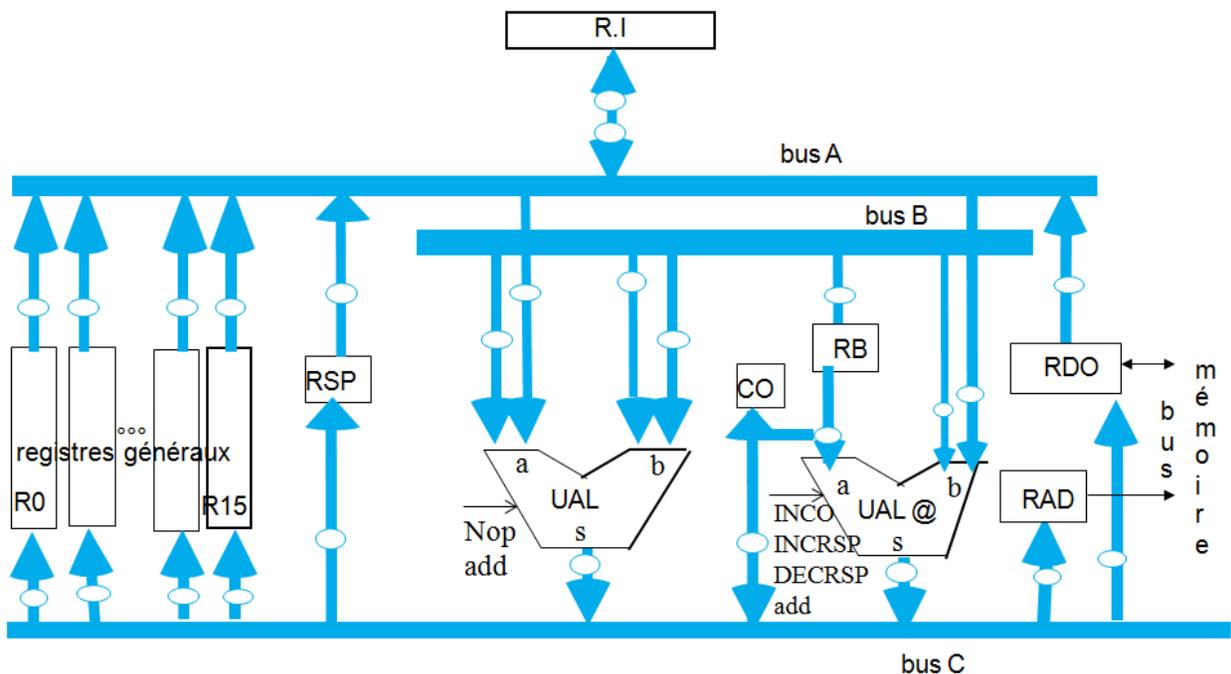
L'opération de lecture et écriture est déclenchée par une micro-commande LEC ou ECR.

La micro-commande INCRSP incrémente le contenu du RSP.

La micro-commande DECRSP décrémente le contenu du RSP.

La micro-commande INCO incrémente le contenu du CO.

La micro-commande AXSor permet de sortir sur le bus A la partie basse du registre RI.



### **QUESTION 1**

Donnez la suite de microcommandes correspondant à l'exécution des instructions suivantes :

POP Rg1 R0  
 PUSH Rg1 R3

### **QUESTION 2**

Soit la séquence d'instructions suivantes :

DI  
 POP Rg1 R0  
 ADD Im R0 10  
 STORE B R0 100  
 EI

A/ Explicitez ce que fait chaque instruction en une phrase.

B/ Indiquez la réponse correcte parmi les trois suivantes, si l'on suppose que la valeur 50 est en sommet de pile et que le registre RB contient la valeur 100.

1. la case 200 contient la valeur 60 à l'issue de l'exécution
2. la case 100 contient la valeur 60 à l'issue de l'exécution
3. le sommet de pile contient la valeur 40 à l'issue de l'exécution

C/ L'interruption IRQ2 est délivrée au processeur durant l'exécution de cette séquence d'instruction. Que se passe-t-il ? Pourquoi ?

D/ Durant le traitement de l'IRQ2, les IRQ 1, 5 et 7 arrivent simultanément. Indiquer l'ordre dans lequel les interruptions vont être traitées.

### Exercice 3

On considère une machine pour laquelle l'adressage de l'unité d'échange gérant le clavier s'effectue dans un **espace d'adressage séparé**. Le processeur dispose de registres banalisés de 4 octets.

#### Question 1

L'unité d'échange du clavier comporte un registre d'état et un registre de données, dont les adresses sont respectivement nommées R\_CLAVIER\_ETAT et R\_CLAVIER\_DONNEE. Ces registres sont de 4 octets chacun.

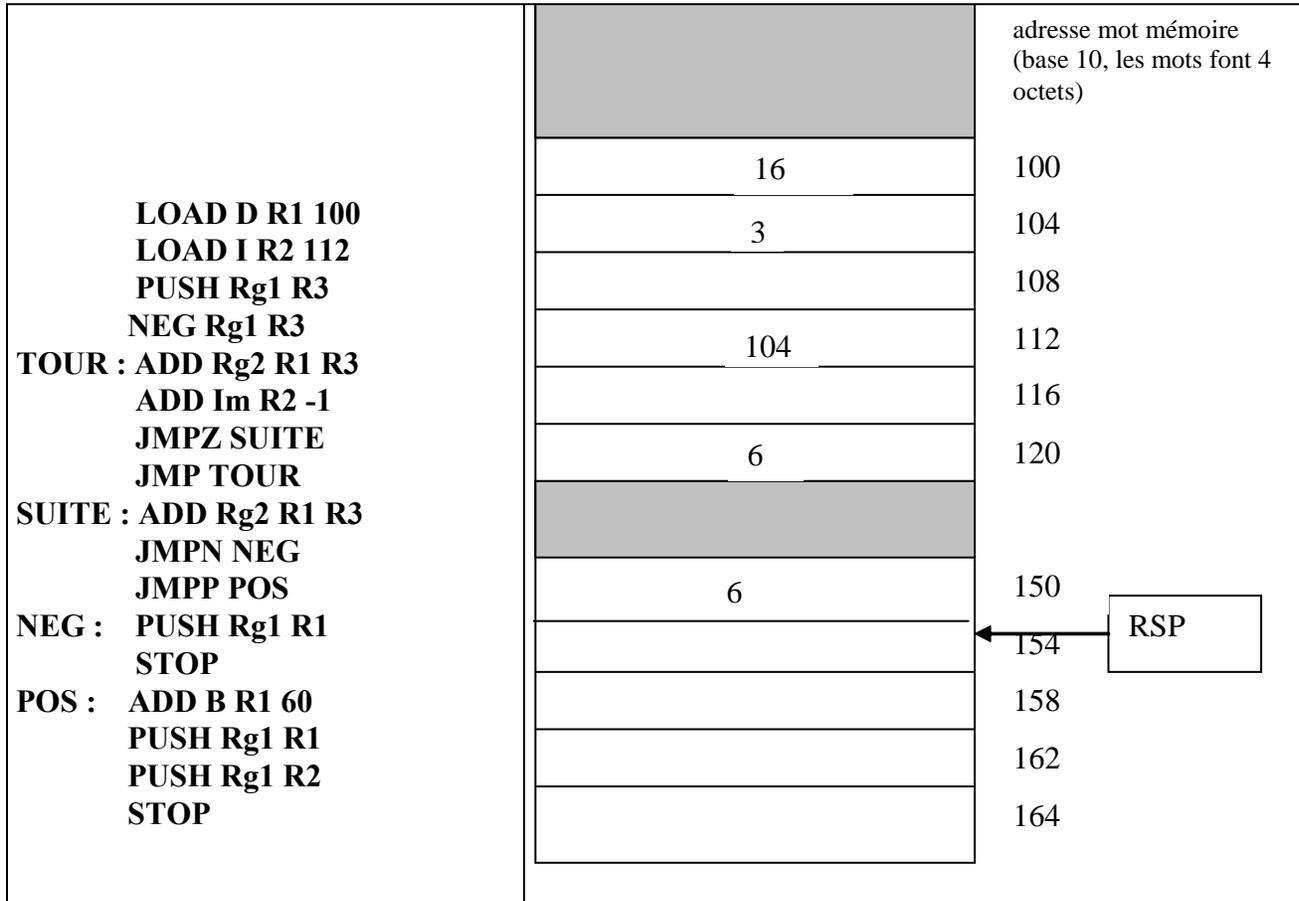
Cette unité d'échange signale au processeur qu'une donnée est disponible dans son registre de donnée en envoyant une IRQ de numéro 2 au processeur.

Donnez le code de la routine d'interruption IRQ2 qui permet de lire le contenu du registre de données de l'unité d'échange du clavier dans un registre banalisé R3 du processeur.

**Question 2**

Soient la suite d'instructions d'un programme en assembleur et l'état de la mémoire centrale au moment de l'exécution de ces instructions.

Le registre de base RB contient la valeur 40. Le registre R3 est chargé par la routine d'IRQ2 de la question précédente. Le processeur manipule des entiers signés sur 32 bits selon le format du complément à 2. Toutes les valeurs d'adresse ou de nombres sont données en base 10.



a/ Donnez pour chaque instruction du programme, l'action réalisée.

b/ A l'issue de l'exécution du programme, donnez la configuration de la pile dans chacun des trois cas suivants.

- 1/ le registre R3 est chargé avec la valeur 6 ;
- 2/ le registre R3 est chargé avec la valeur 2 ;
- 3/ le registre R3 est chargé avec la valeur 4.