



Architectures des calculateurs séquentiels

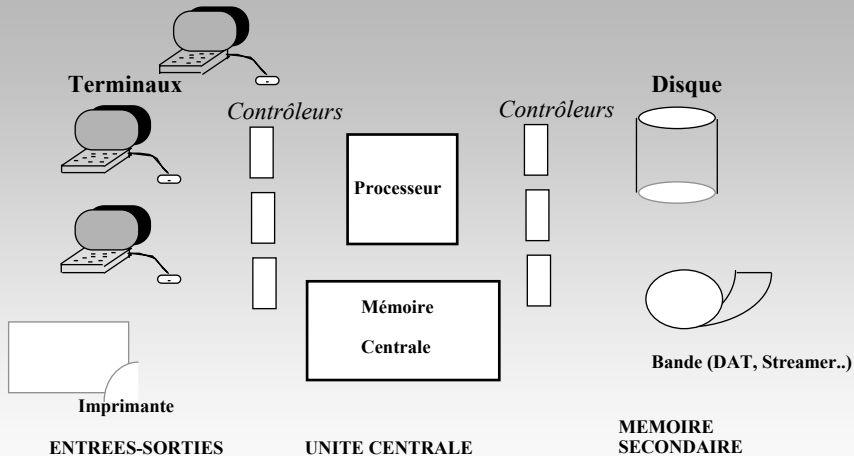
- 1) Le principe de Von-Neuman
- 2) Quelques exemples d'architectures commerciales
- 3) Les Entrées/Sorties : Interruptions et DMA
- 4) Introduction à la hiérarchie mémoire

07/02/2007

1



Les constituants d'un ordinateur



07/02/2007

2



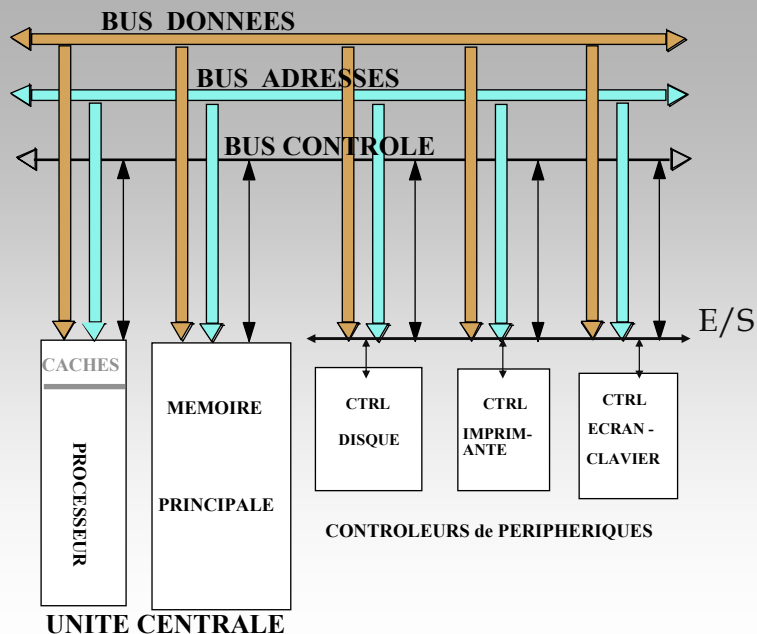
L'unité centrale : le processeur et la mémoire

Caractéristiques principales :

- ❖ La largeur du bus données (64 bits) et la largeur du bus adresse (32/64bits)
- ❖ Le nombre de mots de la mémoire
- ❖ L'architecture du cache mémoire
- ❖ Les temps de cycle (processeur, bus mémoire)
- ❖ Le nombre de cycles par instruction
- ❖ Le débit d'instructions
- ❖ Le processeur est un chip VLSI ~ 100 millions de transistors
- ❖ La mémoire centrale est réalisée à partir de boîtiers de 16, 64, 256, 1024 Méga bits.

07/02/2007

3



07/02/2007

4



Exemples (1)

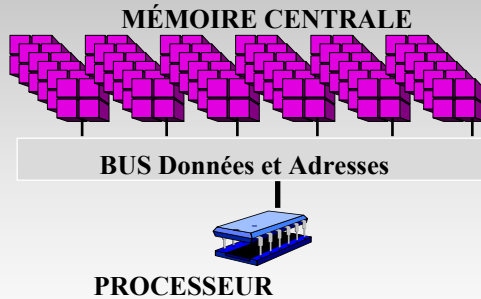
<http://www.spec.org/benchmarks.html>

❖ Pentium IV 2002

- 64 bits données et 32 bits adresses
- H = jusqu'à 2.53 Ghz.
- Cache L1 :12K/8K - L2 : 512 K on chip
- Nb transistors = 42 millions
- Perf. SPEC int2000 = 893, flot2000 = 878 (H max)

❖ IBM Power IV

- 64 bits adresses et données
- H = 1.3 Ghz
- Cache 64 K/64K - L2 : 1,4 M. on chip
128 M off chip
- Nb transistors = 170 millions
- 2 procs + cache L2 on chip
- Perf. SPEC int2000 = 804, flot = 1202



07/02/2007

5



Exemples (2)

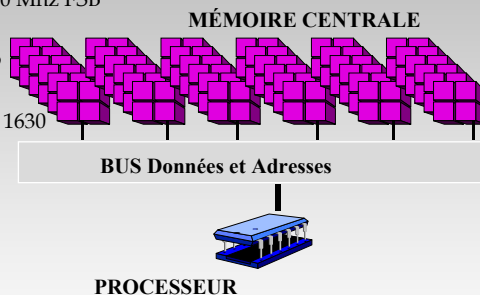
<http://www.spec.org/cpu2000/results/>

❖ Pentium4 2004

- 64 bits adresses et 32/64 données 800 Mhz FSB
- H = 3.6 Ghz
- Cache L1 :12K/16K - L2 : 1M on chip
- Nb transistors = 100 millions
- Perf. SPEC int2000 = 1627, flot2000 = 1630 (H max)

❖ IBM Power5 (Bi-processeur)

- 64 bits adresses et données
- H = 1.9 Ghz
- Cache 64 K/32K - L2 : 1,9 M. on chip
36 M off chip
- 2 procs + cache L2 on chip
- Perf. SPEC int2000 = 1398, flot = 1452



07/02/2007

6



Exemple (3) : Octobre 2006

Hardware Vendor : Dell

Model Name: Precision Workstation 390 (Intel Core 2 Extreme QX6700, 2.66 GHz)

CPU: Intel Core 2 Quad Extreme processor QX6700 (1066 MHz system bus)

CPU MHz: 2666

FPU: Integrated

CPU(s) enabled: 4 cores, 1 chip, 4 cores/chip

CPU(s) orderable: 1

Primary Cache: 32 KB I + 32 KB D on chip per core

Secondary Cache: 8 MB I+D on chip, per chip (4 MB shared per 2 cores)

L3 Cache: N/A

Memory: 4 GB (4 x 1 GB 667 MHz ECC CL5 DDR2 SDRAM)

Disk Subsystem: 1 x 80GB SATA 7200 RPM

SPECfp2000 = 2679

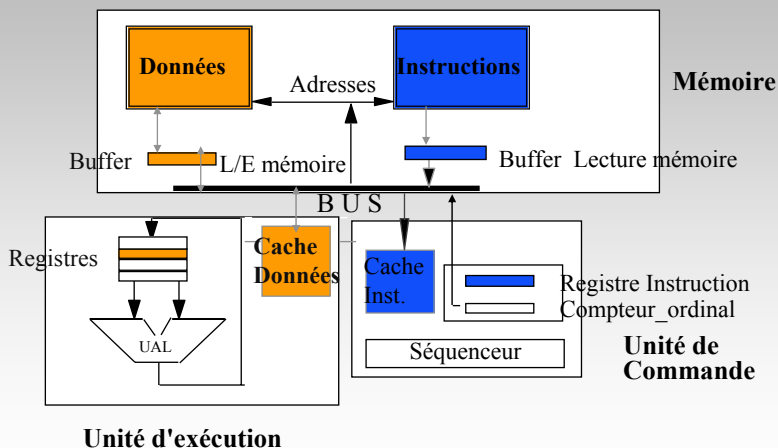
SPECint2000 = 2848

07/02/2007

7



Le principe de Von-Neuman



07/02/2007

8

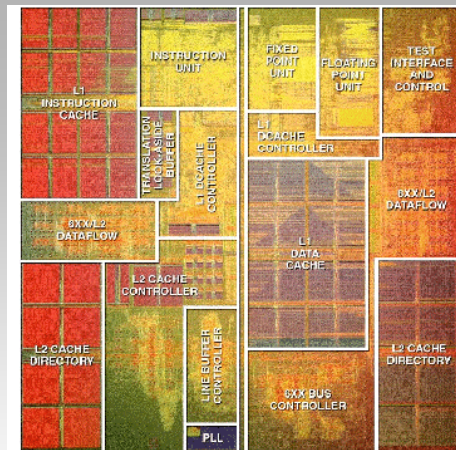


Figure 3. RS64 III Chip

Containing 34 million transistors, the RS64 III processor die is shown in Figure 3.

It is manufactured in IBM's 0.22 micron copper CMOS 7S technology, with six levels of copper interconnect.

07/02/2007

9



Algorithme exécuté par le processeur

↓

- Lecture instruction**
- Modification compteur ordinal**
- Décodage instruction**
- Lecture opérandes**
- Exécution instruction**
- Test des interruptions**

07/02/2007

10



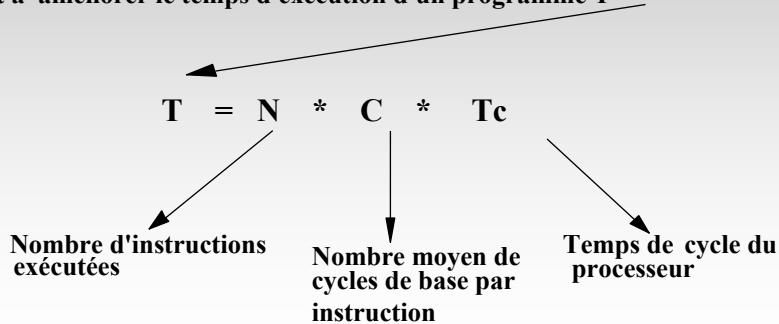
Les architectures sur le modèle Von-Neuman

1) Le modèle C I S C (1974)

2) Le modèle R I S C (1978)

3) Le modèle E P I C (1998)

Soit à améliorer le temps d'exécution d'un programme T



07/02/2007

11



La hiérarchie mémoire

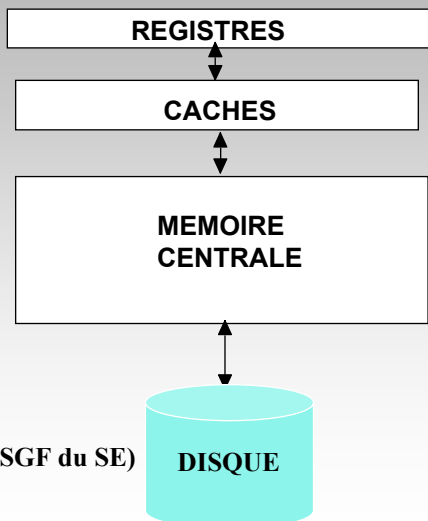
Gérée par :

le compilateur

un dispositif câblé

le système
d'exploitation

la création de fichiers (SGF du SE)



07/02/2007

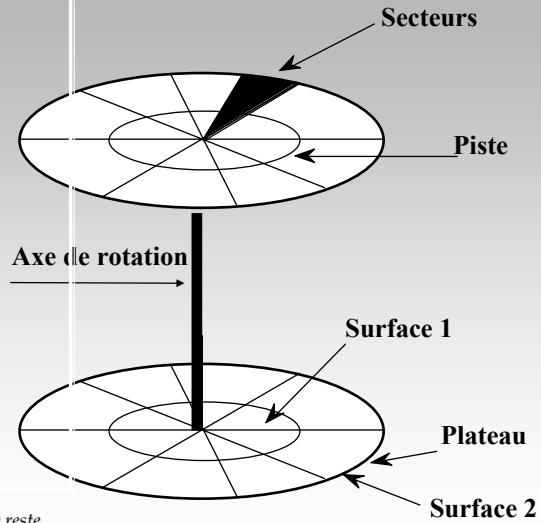
12



Le disque

Un exemple de disque :

- Diamètre 2.5 à 5.25 inch.
- Capacité > 120 GO
- Pistes/surface 500 à 2000
- Secteurs/piste 32 à 128
- Octets/secteur 512
- Vitesse de rotation (T/mn)
7200 à 15000
- Recherche moyenne en mms
8.9
 - minimale 2.0
 - maximale 12.5
- Débit 2 à 12 MO/s



10ms pour le 1^{er} octet et 15KO/ms pour le reste

07/02/2007

13



Performances mémoires

Type	Registres	Cache Ext.	Mémoire C.	Disques
Taille	32 int. +32 flott.	< 16 MO Data + Instr	16 GO	>100 GO
Ta ns	0,5	2	5	10 millions
Débit MO/s	16.000	5 à 16.000	3.200	100
Géré	compilateur	dispositifs hard	O.S.	O.S. et utilisateur

07/02/2007

14



La mémoire cache

Soit : **C** le temps d'accès au cache (coût échec = coût succès)

M le temps d'accès à la mémoire principale

h le taux de succès des accès au cache

Le temps moyen d'accès aux données est alors :

$$T = C + (1-h) M$$

Ex : $C = 20 \text{ ns}$; $M = 100 \text{ ns}$ et $h = 0,9$

$$T = 20 + (1-0,9) * 100$$

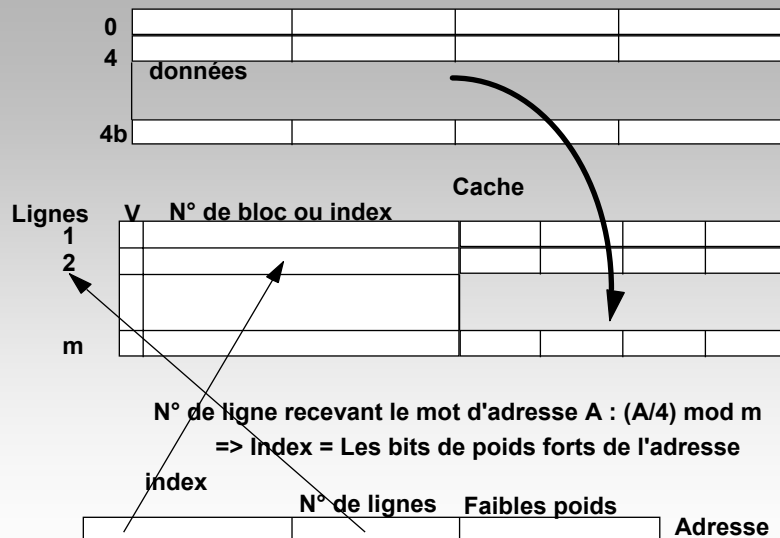
$$T = 30 \text{ ns}$$

07/02/2007

15



Mémoire Centrale : $2^{**}m/b$ Blocs de données

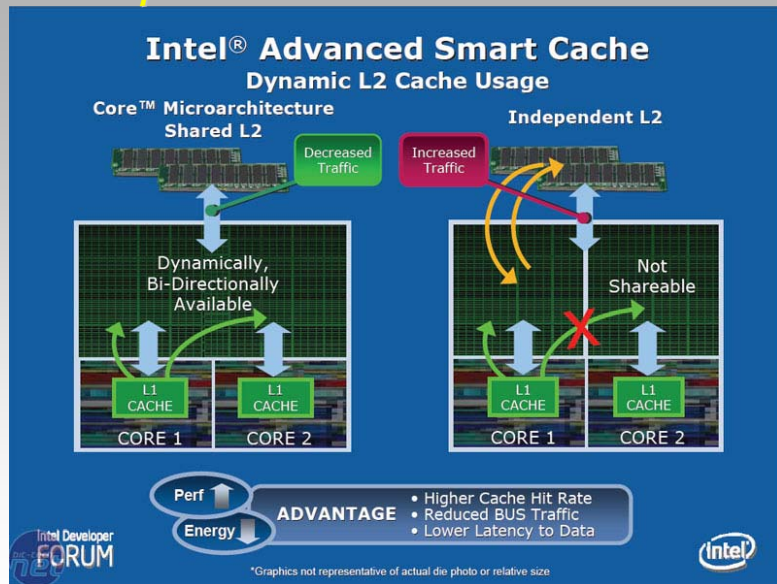


07/02/2007

16



Exemple

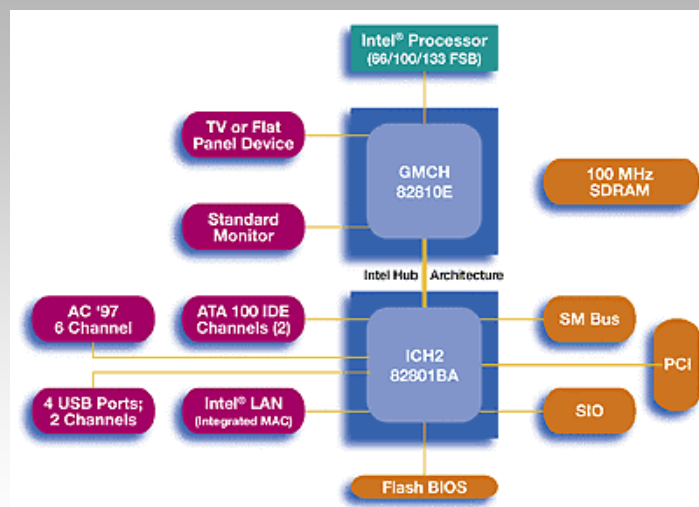


07/02/2007

17

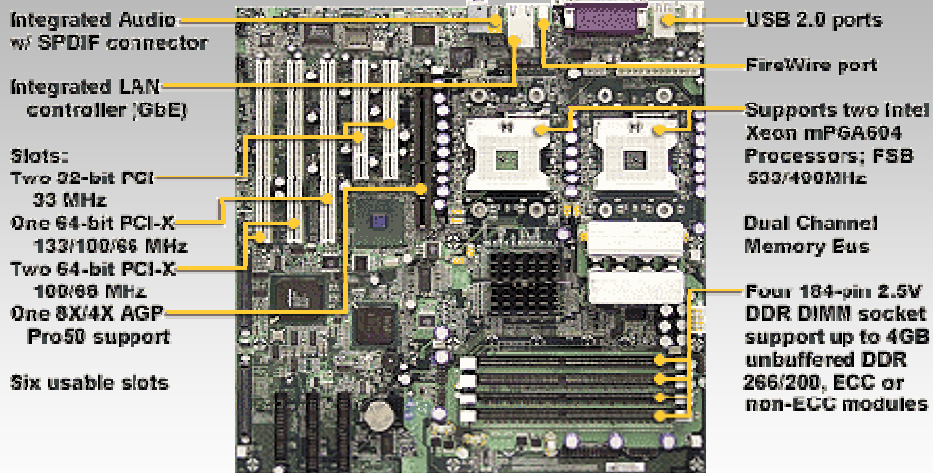


Une carte mère PC



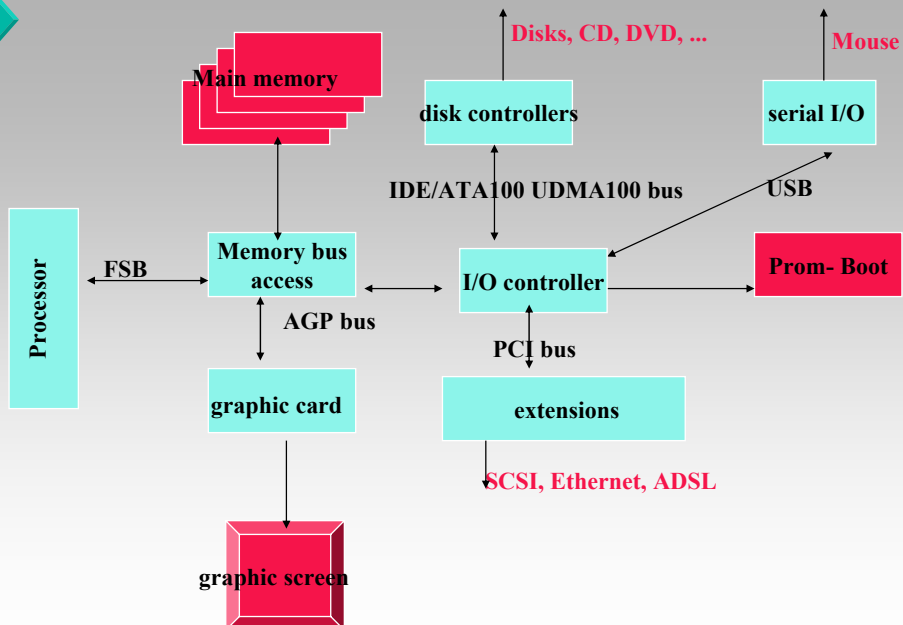
07/02/2007

18



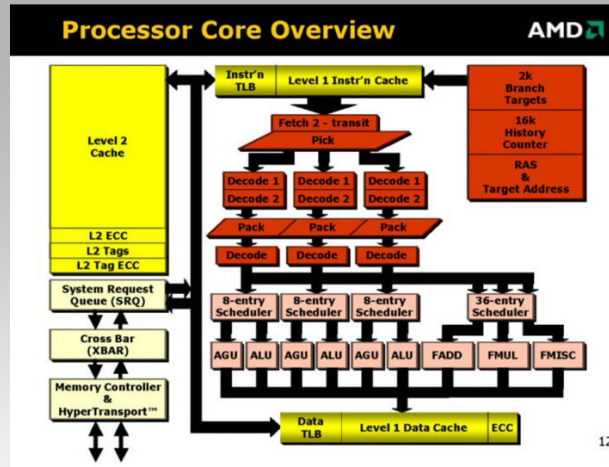
07/02/2007

19



07/02/2007

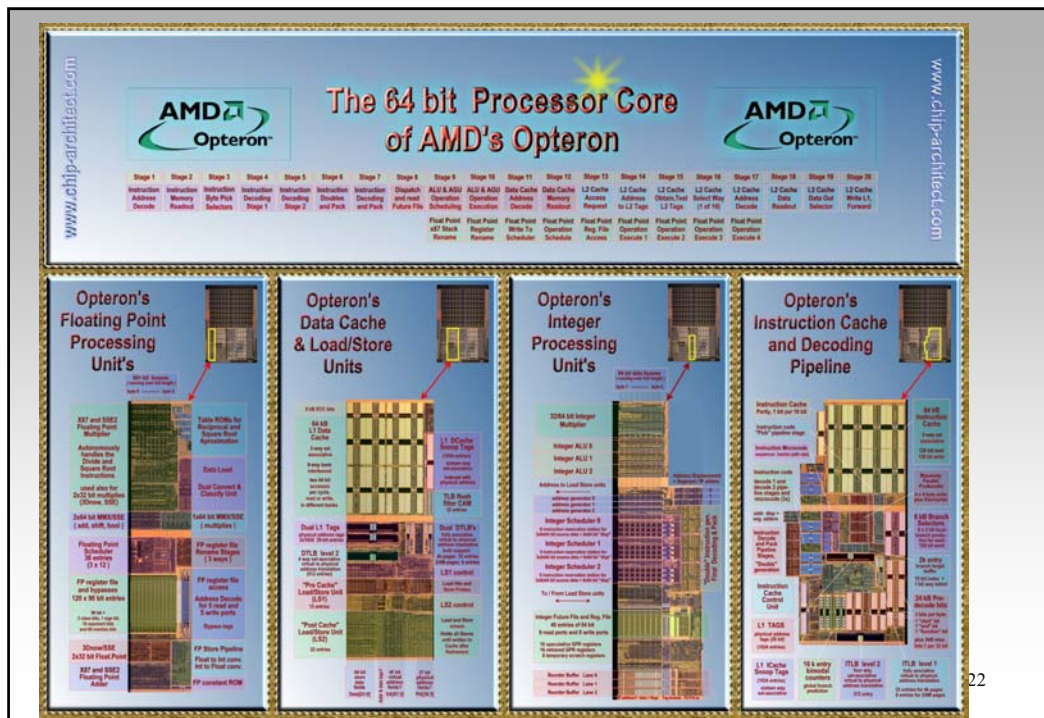
20



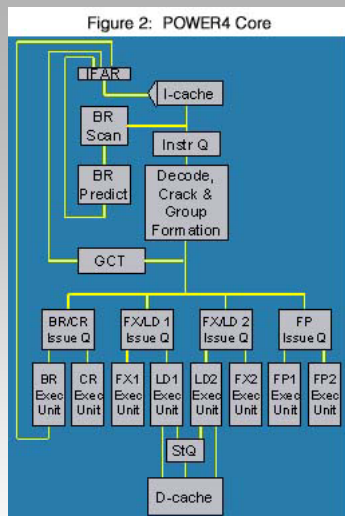
http://www.chip-architect.net/news/Opteron_MPF_12.jpg

07/02/2007

21



22

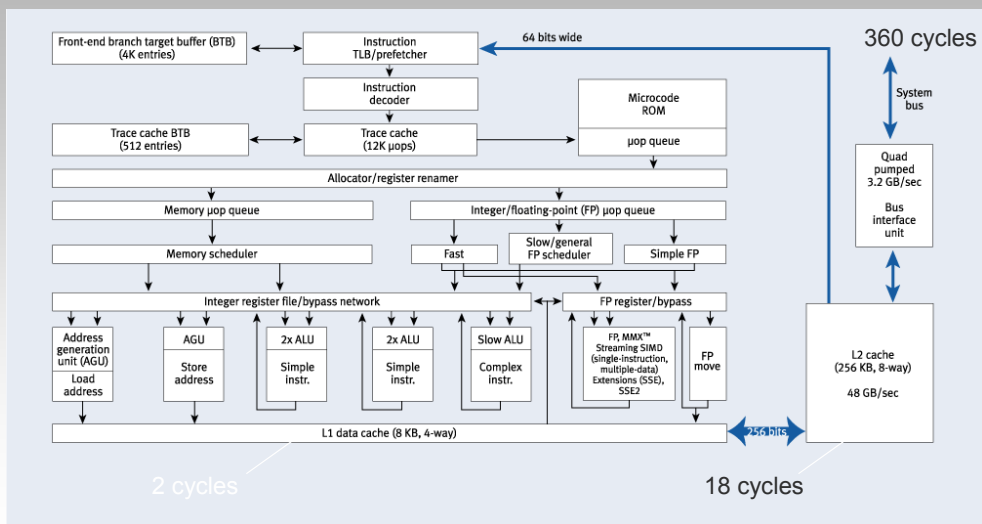


- 2 way SMP model
- A Group completion Table
- Spéculative superscalar out-of-order
- up to 8 instructions/cycle (5 sustained)
- 200 inst. in fly at any given time
- 8 execution units
- 4 floatingpoint/cycle/core
- 2 Load/store + address generation arithmetic

<http://www-1.ibm.com/servers/eserver/pseries/hardware/whitepapers/power4.html#chip>

07/02/2007

23



07/02/2007

24



Rappels Technologiques (1)

	Pentium	Pentium Pro	PII	PIII	PIV	AMD AthlonXP
Date	08/94	11/95	02/98	12/99	11/00	09/01
CLK (MHz)	75	200	300	800	1500	1466
Bus (MHz)	50	66	66	133	400	266
I\$ (Koctets)	8	8	16	16	T\$ 12	64
D\$ (Koctets)	8	8	16	16	8	64
L2\$(Koctets)	256	256	512	256	256	256
Perf int				380	560	633
Perf FP				386	562	656
Pipeline	5	12	12	12	20	9
Transistors	3M	5,5M	7,5M	25M	42M	37,5M
Techno (μ)	0,8	0,6	0,35	0,18	0,18	0,18

07/02/2007

25



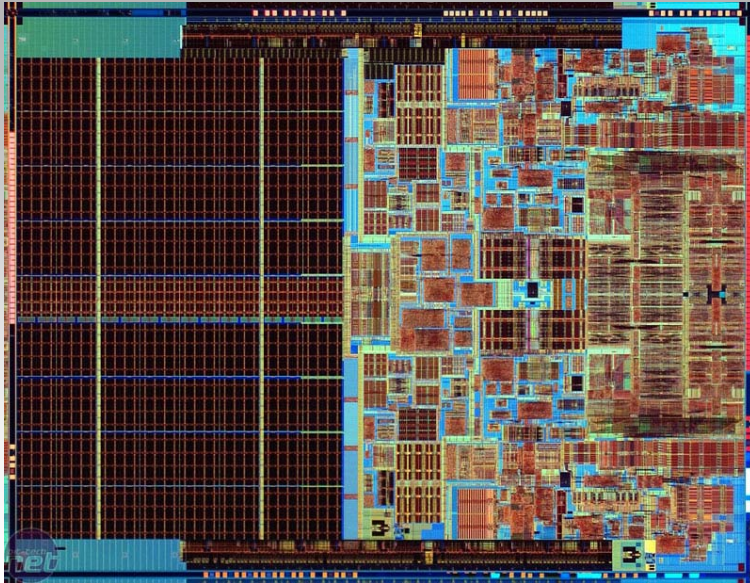
Rappels Technologiques (2)

Multiprocesseurs

	AMD/Athlon FX-51	AMD/Opteron	Pentium4 3.2E Prescott	Intel Pentium D Duo/ Quad
Date	01/04	09/03	1/04	1/06 - 07
CLK (MHz)	2400	2200	3400	2666 à 3730
Bus (MHz)	400	1400-2400	800	1 066
I\$ (Koctets)	64	64	12	32
D\$ (Koctets)	64	64	8	32
L2\$(Koctets)	1024	1024	512 +L3(2M)	4096
Perf int	1376	1304	1666	2848
Perf FP	1447	1409	1704	2673
Pipeline	12	12	31	14
Transistors	105,9 M	? M	125 M	230 M
Techno (μ)	0,13	0,13	0,09	0,09 à 0,065

07/02/2007

26



07/02/2007