

NSY104
Architectures des systèmes informatiques
2010-2011

TD N°3 – Mémoire cache

1. Alignement

Pour un cache dont les lignes font 128 octets, donnez l'adresse du premier mot dans la ligne contenant l'adresse suivante :

- 0xA23847EF
- 0x7245E824
- 0xEEFABCD2

2. Lignes et longueurs de lignes

Soit un cache d'une capacité de 32 Ko. Combien de lignes peut contenir le cache si les longueurs de ligne sont de 32, 64 ou 128 octets ?

3. Associativité et ensembles

Si un cache possède une capacité de 16 Ko et une longueur de ligne de 128 octets, combien d'ensembles le cache possède-t-il s'il est associatif par ensemble de 2, 4 ou 8 blocs ?

4. Taille des tableaux d'étiquettes

Un cache possède une capacité de 64 Ko, des lignes de 128 octets et un degré d'associativité de 4. Le système contenant le cache utilise des adresses de 32 bits.

- Combien de lignes et d'ensembles possède le cache ?
- Combien d'entrées sont requises dans le tableau d'étiquettes ?
- Combien de bits d'étiquettes sont requis pour chaque entrée dans le tableau d'étiquettes ?
- Si le cache est de type write-through, combien de bits sont requis pour chaque entrée du tableau d'étiquettes et quelle quantité de mémoire totale est requise pour le tableau dans le cas d'une politique de remplacement LRU? Qu'en serait-il s'il s'agissait d'un cache write-back ?

5. Adressage

Soit un cache possédant les mêmes caractéristiques que celui de l'exercice précédent. Pour chacune des adresses mentionnées ci-après, indiquez le numéro de l'ensemble qui sera examiné afin de déterminer si l'adresse est contenue dans le cache et celui de l'octet référencé dans la ligne de cache. Nous supposons que les bits utilisés pour sélectionner un octet à l'intérieur de la ligne sont les bits de poids faible de l'adresse et que les bits utilisés pour sélectionner l'ensemble sont les bits suivants de poids plus élevé.

- 0xABC89987
- 0x32651987
- 0x228945DB
- 0x48569CAC

6. Taux de hit et temps d'accès

Supposons qu'un cache possède un temps d'accès (latence de cache-hit) de 10 ns et un taux de miss de 5 %. Une modification apportée au cache ferait baisser son taux de miss à 3 % mais ferait monter la latence du cache-hit à 15 ns . Dans quelles conditions cette modification pourrait-elle offrir de meilleures performances (temps d'accès moyen à la mémoire plus court) ?

7. Taux de hit et temps d'extraction de ligne

Un cache possède un taux de hit de 95 %, des lignes de 128 octets et une latence de cache-hit de 5 ns. La mémoire principale prend 100 ns pour retourner le premier mot (32 bits) d'une ligne puis 10 ns pour retourner chaque mot suivant.

– Quelle est la valeur de T_{miss} pour ce cache ? Nous supposons que le cache attend que la ligne soit chargée dans le cache et réexécute ensuite l'opération mémoire en obtenant alors un cache-hit. Nous négligerons le temps requis pour écrire la ligne dans le cache une fois qu'elle a été extraite de la mémoire principale. Nous supposons également que le cache prend le même temps pour détecter un miss qu'il n'en requiert pour un cache-hit.

– Si le fait de doubler la longueur de ligne du cache permet de réduire le taux de miss à 3 %, le temps d'accès moyen à la mémoire s'en trouvera-t-il réduit ?

8. Échecs obligatoires, de capacité et de conflit

Un programme accède à 1 000 000 de références mémoire. Lorsqu'il tourne sur un système donné, le cache obtient un taux de miss de 7 %, dont un quart sont des échecs obligatoires, un autre quart des échecs de capacité et la moitié des échecs de conflits.

– Si la seule modification que vous pouvez apporter au cache consiste à augmenter son degré d'associativité, quel est le nombre maximal de miss que vous pouvez espérer éliminer ?

– Si vous avez la possibilité d'augmenter la taille du cache en plus de son degré d'associativité, quel est le nombre maximal de miss que vous pouvez espérer éliminer ?