

EXECUTION DES INSTRUCTIONS MACHINES**Corrigés****Exercice 1 : ARCHITECTURE 1 BUS****LOAD Im R1 X**Phase de Fetch

CO -> RAD	COSor, RADEn
lecture	LEC
RDO -> RI	RDOSor, RIEn
Incrémentation CO	INCO

Exécution : recherche des opérandesExécution : réalisation de l'opération

X -> R1	XSor, R1En
---------	------------

ADD D R3 champ2Phase de Fetch

CO -> RAD	COSor, RADEn
lecture	LEC
RDO -> RI	RDOSor, RIEn
Incrémentation CO	INCO

Exécution : recherche des opérandes

X -> RAD	XSor, RADEn
lecture	LEC

Exécution : réalisation de l'opération

R3 -> Y1	R3Sor, Y1En
RDO -> Y2	RDOSor, Y2En
ADD	ADD
Z -> R3	ZSor, R3En

Exercice 2 : ARCHITECTURE 2 BUS

- **LOAD I R3 X : chargement de R3 avec un opérande obtenu par adressage indirect.**

Phase de Fetch

CO -> RAD	ACOSor, CAB, BRADEn	1 cycle
lecture	LEC	2 cycles
RDO -> RI	ARDOSor, CAB, BRIEn	1 cycle
Incrémentation CO	INCO	

Exécution : recherche des opérandes

X -> RAD	AXSor, CAB, BRADEn	1 cycle
lecture	LEC	2 cycles
RDO -> RAD	ARDOSor, CAB, BRADEn	1 cycle
lecture	LEC	2 cycles

Exécution : réalisation de l'opération

RDO -> R3	ARDOSor, CAB, BR3En	1 cycle
-----------	---------------------	---------

Au total, l'exécution de cette instruction nécessite 11 cycles processeur (4 cycles pour la phase de Fetch, 6 cycles pour la phase de recherche des opérandes, et 1 cycle pour la réalisation de l'opération).

- **AND basé R1 X : Et logique entre le registre R1 et un opérande obtenu par adressage basé et stockage du résultat dans R1**

Phase de Fetch :

idem

Exécution : recherche des opérandes

X -> Ual@	AXSor, AUal@En	1 cycle
RB -> Ual@	RBUal@En	
Addition	ADD	
Ual@ -> RAD	BUal@Sor, BRADEn	
Lecture	LEC	2 cycles

Exécution : réalisation de l'opération

R1 -> Y1	AR1Sor, Y1En	1 cycle
RDO -> Y2	ARDOSor, CAB, Y2En	1 cycle
Et logique	AND	
Ual _s -> R1	BUalSor, BR1En	1 cycle

Au total, l'exécution de cette instruction nécessite 10 cycles processeur (4 cycles pour la phase de Fetch, 3 cycles pour la phase de recherche des opérandes, et 3 cycles pour la réalisation de l'opération).

Il est possible de réduire le temps d'exécution de cette instruction en modifiant l'ordre des étapes de la phase de réalisation de l'opération comme ci-dessous. On passe donc de 10 cycles processeur à 9 cycles processeurs.

Exécution : réalisation de l'opération (améliorée)

RDO -> Y2	ARDOSor, CAB, Y2En	1 cycle
R1 -> Y1	AR1Sor, Y1En	1 cycle
Et logique	AND	
Ual _s -> R1	BUalSor, BR1En	